

**CERTIFIED COPY OF
TRANSLATION OF THE
PRIORITY DOCUMENT**

(The front page of the priority document of
Japanese Patent Application No. 9-272574)

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of the
following application as filed with this Office.

Date of Application: October 6, 1997

Application Number : Patent Application 9-272574

Applicant(s) : Canon Kabushiki Kaisha

October 30, 1998

Commissioner,

Patent Office

Takeshi ISAYAMA

RECEIVED

AUG 16 1999

TC 2700 MAIL ROOM

Certification Number 10-3087668

RECEIVED

AUG 10 1999

TECHNOLOGY CENTER 2800

CFM 1311 VS. F.
CN. KI. SG
09/16/405

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1997年10月 6日

出願番号
Application Number:

平成 9年特許願第272574号

出願人
Applicant(s):

キヤノン株式会社

RECEIVED
AUG 16 1999

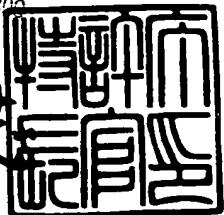
CERTIFIED COPY OF
PRIORITY DOCUMENT

RECEIVED
AUG 10 1999

1998年10月30日 TECHNOLOGY CENTER 2800

特許庁長官
Commissioner,
Patent Office

佐山 建志



出証番号 出証特平10-308766

【書類名】 特許願
【整理番号】 3507014
【提出日】 平成 9年10月 6日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 31/04
【発明の名称】 半導体装置と密着型イメージセンサ
【請求項の数】 9
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
【氏名】 小塚 開
【特許出願人】
【識別番号】 000001007
【氏名又は名称】 キヤノン株式会社
【代表者】 御手洗 富士夫
【代理人】
【識別番号】 100065385
【弁理士】
【氏名又は名称】 山下 穂平
【電話番号】 03-3431-1831
【手数料の表示】
【予納台帳番号】 010700
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9703871
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置と密着型イメージセンサ

【特許請求の範囲】

【請求項 1】 複数の光電変換素子の光信号とノイズ信号とをそれぞれ読み出して保持する信号保持手段と、前記信号保持手段の光信号とノイズ信号とをそれぞれ出力する共通出力線と、該共通出力線をそれぞれリセットするリセット手段と、該それぞれの共通出力線から出力する読み出し手段とを有する半導体光センサチップが実装基板上に複数実装されたセンサモジュールと、

前記センサモジュールにおいて、前記各半導体光センサチップの光信号及びノイズ信号を入力する光信号入力バッファ手段及びノイズ信号入力バッファ手段と、前記ノイズ信号入力バッファ手段と前記光信号入力バッファ手段との差分をとる差動手段と、前記差動手段の出力をクランプする電圧クランプ手段と、が同一半導体基板上に形成されたことを特徴とする半導体装置。

【請求項 2】 複数の光電変換手段と、

該光電変換手段からノイズ信号を読み出して保持するノイズ信号保持手段と、前記光電変換手段から光信号を読み出して保持する光信号保持手段と、前記ノイズ信号を各光電変換手段から出力するノイズ信号共通出力線と、前記光信号を各光電変換手段から出力する光信号共通出力線と、前記ノイズ信号共通出力線、及び前記光信号共通出力線をリセットするリセット手段と、

前記ノイズ信号保持手段の信号及び前記光信号保持手段の信号を、前記ノイズ信号共通出力線及び前記光信号共通出力線との容量分割で読み出す読み出し手段と、

を有する半導体光センサチップが実装基板上に複数実装されたセンサモジュールと、

少なくとも前記ノイズ信号を入力するノイズ信号入力バッファ手段と、前記光信号を入力する光信号入力バッファ手段と、前記ノイズ信号入力バッファアンプと前記光信号入力バッファアンプとの差分をとる差動手段と、

前記差動手段の出力をクランプする電圧クランプ手段と、が同一半導体基板上に形成された半導体装置、とを有することを特徴とする密着型イメージセンサ。

【請求項3】 前記半導体光センサチップと前記半導体装置は同一実装基板上に実装されていることを特徴とする請求項2記載の密着型イメージセンサ。

【請求項4】 前記半導体装置の電源電圧が、前記半導体光センサチップの電源電圧よりも高いことを特徴とする請求項1又は、2, 3に記載の密着型イメージセンサ。

【請求項5】 前記実装基板上において、前記半導体装置のGND配線と、前記半導体光センサチップのGND配線とが分離していることを特徴とする請求項1乃至4のいずれか1項に記載の密着型イメージセンサ。

【請求項6】 複数の光電変換手段と、

前記光電変換手段からノイズ信号を読み出して保持するノイズ信号保持手段と、前記光電変換手段から光信号を読み出して保持する光信号保持手段と、

前記ノイズ信号及び光信号を出力する共通出力線と、

前記共通出力線をリセットするリセット手段と、

前記ノイズ信号保持手段のノイズ信号及び前記光信号保持手段の光信号とを、前記共通出力線との容量分割で順次読み出す読み出し手段と、

を有する半導体光センサチップが、実装基板上に複数実装されたセンサモジュールと、

少なくとも、信号入力バッファアンプと、

前記信号入力バッファアンプの出力を増幅する増幅アンプと、

前記増幅アンプの出力を出力する出力バッファアンプと、

前記増幅アンプと前記出力バッファアンプとの間に設けられた電圧クランプ手段と、が同一半導体基板上に形成された半導体装置と、を有することを特徴とする密着型イメージセンサ。

【請求項7】 前記半導体光センサチップと前記半導体装置は同一実装基板上に実装されていることを特徴とする請求項6記載の密着型イメージセンサ。

【請求項8】 前記半導体装置の電源電圧が、前記半導体センサチップの電源電圧よりも高いことを特徴とする請求項6又は7に記載の密着型イメージセン

サ。

【請求項 9】 前記実装基板上において、前記半導体装置のGND配線と、前記半導体光センサチップのGND配線とが分離していることを特徴とする請求項6又は、7、8に記載の密着型イメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ファクシミリ、イメージスキャナ、ディジタル複写機、あるいはX線撮像装置等の画像読み取りを行う半導体装置とこれを用いる1次元の密着型イメージセンサに関し、特に、半導体光センサチップが実装基板上に複数個実装された密着型イメージセンサにおいて、チップ間段差に起因する固定パターンノイズ(FPN)の除去、及びコスト低減に関するものである。

【0002】

【従来の技術】

近年、一次元の光電変換装置の分野においては、縮小光学系を用いたCCDの他に、複数の半導体光センサチップを複数実装した等倍系の密着型イメージセンサの開発が積極的に行われている。

【0003】

図9、図10に各画素に增幅素子を有する增幅型の半導体光センサチップを複数実装した密着型イメージセンサの従来例を示す。図9は密着型イメージセンサとして一次元の多数の画素で形成して対面する原稿等の画像を直接読み出す構成中、各画素に有する1次元の密着型イメージセンサの1bit分の回路図を示し、図10はそのタイミングチャートである(テレビジョン学会誌Vol.47, No.9(1993), pp.1180)。

【0004】

従来例において、各画素に用いている増幅素子のバラツキが固定パターンノイズ(FPN)となるため、光信号(S信号)と暗状態の信号(N信号)の差分をとることにより、チップ内のFPNの除去を行っている。

【0005】

この回路動作、及びFPN除去について、図9及び図10により説明する。まず、光電変換素子のセンサに光量 $h \nu$ に応じた光信号を蓄積する。蓄積が終了した後、PN接合部に接続したエミッタホロワ型のトランジスタ9をフローティング状態として、転送パルス ϕ_{TS} をオンして、ノイズを含む光信号を光信号保持容量CTS1に転送する。続いて、リセットパルス ϕ_{ERS} をオンしてセンサのリセット動作を行い、その後転送パルス ϕ_{TN} をオンしてセンサのノイズ信号をノイズ信号保持容量CTN2に転送し、再度、リセットパルス ϕ_{BRS} をオンしてMOSを導通し、リセットパルス ϕ_{ERS} をオンしてMOS30を導通し、センサのリセット動作を行って、その後蓄積動作にはいる。

【0006】

一方、蓄積動作中にシフトレジスタが走査を開始する。まず、最初に光信号共通出力線3、及びノイズ信号共通出力線4をリセットMOS5、6を用いてリセットした後、光信号保持容量CTS1及びノイズ信号保持容量CTN2のデータを共通出力線3、4に接続されたそれぞれ各共通出力線の容量CHS7、CHN8との容量分割にて出力する。ここで、保持容量CHS7、CHN8は各共通出力線の容量であるが、以後、光信号共通出力線をCHS、ノイズ信号共通出力線をCHNと定義する。その後、再び容量CHS7、CHN8をリセットMOS5、6をオンしてリセットして、次のbitの光信号を保持容量CTS、CTNのデータに読み出す。

【0007】

この動作を繰り返してすべてのbitの信号を出力する。出力された信号はそれぞれボルテージホロア型アンプ13、14を介して差動アンプ33に入力され以上を集積したICの出力となる。ここで、チップ内の固定パターンノイズFPNは、主に各画素のバイポーラトランジスタ9のhFE等のバラツキに起因するものが主であり、上記の保持容量CTS、CTNに蓄積して共通信号線に読み出して各共通線の信号の差を読み出す通称S-N方式により、画素ごとのバイポーラトランジスタ9のhFEバラツキに起因するFPNを除去することが可能となる。

【0008】

以上はチップ内で発生するFPNの除去方法であるが、半導体光センサチップ

を複数実装した等倍系の密着型イメージセンサの場合、密着型ゆえに1次元ラインセンサのチップを複数個従属接続した構成であるので、出力アンプ33のオフセットにより発生するチップ間段差によるFPNも生じるが、DCカット容量34とアンプ36の入力部をアースレベルに固定するMOS35とで構成するクランプ回路204を設けることにより、このチップ間段差によるFPNの抑制を図っている。

【0009】

【発明が解決しようとする課題】

しかしながら、従来技術においても、出力バッファアンプのオフセットに起因するチップ間段差によるFPNを実用上問題にならない程度まで除去することは困難である。特に、出力バッファアンプの初段をMOSトップ構成にした場合は、MOSのしきい値のアンバランスがオフセットに影響するため、実際には例えば10mVのオフセットばらつきが生じ、実装後のFPNも同程度生じることになる。従って、高階調を得ようとするとチップ毎のダーク補正が必要となり、システムコストアップがアップするという問題を有している。

【0010】

また、従来技術においては、おのののセンサチップの内部にセンサや保持容量等の大規模なアナログ回路を有しており、かつそのチップを10~20個程度、マルチ実装して用いているため、アナログ回路部分のチップ面積が増大し、コスト低減が困難である。

【0011】

更に、センサチップは光信号読み出し・リセット用のMOS等のデジタル回路と上記アナログ回路が混在しており、センサ出力がデジタル回路で発生するノイズの影響を受けやすいという問題も有している。

【0012】

【発明の目的】

本発明の目的は、チップ間段差に起因するFPNを除去し、ダーク補正を必要としない高性能の密着型イメージセンサを提供することにある。

【0013】

また、本発明は従来技術ではダーク補正手段を不要とすると共に、困難であつたチップ面積増大によるコストアップを回避し、安価な密着型イメージセンサを提供することにある。

【0014】

【課題を解決するための手段】

上記の課題を解決するために、本発明は、半導体装置において、複数の光電変換素子の光信号とノイズ信号とをそれぞれ読み出して保持する信号保持手段と、前記信号保持手段の光信号とノイズ信号とをそれぞれ出力する共通出力線と、該共通出力線をそれぞれリセットするリセット手段と、該それぞれの共通出力線から出力する読み出し手段とを有する半導体光センサチップが実装基板上に複数実装されたセンサモジュールと、前記センサモジュールにおいて、前記各半導体光センサチップの光信号及びノイズ信号を入力する光信号入力バッファ手段及びノイズ信号入力バッファ手段と、前記ノイズ信号入力バッファ手段と前記光信号入力バッファ手段との差分をとる差動手段と、前記差動手段の出力をクランプする電圧クランプ手段と、が同一半導体基板上に形成されたことを特徴とする。

【0015】

また、本発明は、複数の光電変換手段と、該光電変換手段からノイズ信号を読み出して保持するノイズ信号保持手段と、前記光電変換手段から光信号を読み出して保持する光信号保持手段と、前記ノイズ信号を各光電変換手段から出力するノイズ信号共通出力線と、前記光信号を各光電変換手段から出力する光信号共通出力線と、前記ノイズ信号共通出力線、及び前記光信号共通出力線をリセットするリセット手段と、前記ノイズ信号保持手段の信号及び前記光信号保持手段の信号を、前記ノイズ信号共通出力線及び前記光信号共通出力線との容量分割で読み出す読み出し手段と、を有する半導体光センサチップが実装基板上に複数実装されたセンサモジュールと、少なくとも前記ノイズ信号を入力するノイズ信号入力バッファ手段と、前記光信号を入力する光信号入力バッファ手段と、前記ノイズ信号入力バッファアンプと前記光信号入力バッファアンプとの差分をとる差動手段と、前記差動手段の出力をクランプする電圧クランプ手段と、が同一半導体基板上に形成された半導体装置、とを有することを特徴とする。

【0016】

また、本発明は、複数の光電変換手段と、前記光電変換手段からノイズ信号を読み出して保持するノイズ信号保持手段と、前記光電変換手段から光信号を読み出して保持する光信号保持手段と、前記ノイズ信号及び光信号を出力する共通出力線と、前記共通出力線をリセットするリセット手段と、前記ノイズ信号保持手段のノイズ信号及び前記光信号保持手段の光信号とを、前記共通出力線との容量分割で順次読み出す読み出し手段と、を有する半導体光センサチップが、実装基板上に複数実装されたセンサモジュールと、少なくとも、信号入力バッファアンプと、前記信号入力バッファアンプの出力を増幅する増幅アンプと、前記増幅アンプの出力を出力する出力バッファアンプと、前記増幅アンプと前記出力バッファアンプとの間に設けられた電圧クランプ手段と、が同一半導体基板上に形成された半導体装置と、を有することを特徴とする。

以下、実施形態例を用いて本発明の構成、および作用効果について説明する。

【0017】

【発明の実施の形態】

図1は本発明の密着型イメージセンサのセンサ実装基板の模式的図面である。図1において、複数のセンサチップ $100, 100', 100'' \dots 100^n$ とアンプチップ200及びコンデンサー/抵抗等の部品が同一実装基板300上に実装されている。

【0018】

本発明の構成により、アンプチップをセンサチップと同一基板上に実装することで、モジュール/ユニットの体積を抑制することができる。

【0019】

また、センサチップの出力線の外来ノイズ低減も出力の安定化をはかることが可能となる。ここで、アンプチップはセラミックパッケージ状態のものをハンダ実装しても良いし、ペアチップをダイボン装置しても良い。ペアチップをダイボン実装する場合には、センサチップの短辺長とアンプチップの短辺長をほぼ同一にすると、チップのチャックを共有化できるため、実装工数の削減も可能となる。

【0020】

センサチップ、およびアンプチップの等価回路を図2に示す。図2において、本発明におけるセンサチップは、複数の光電変換手段 $10, 10', 10''$ と、光電変換手段からノイズ信号を読み出して保持するノイズ信号保持手段 $2, 2', 2''$ と、光電変換手段から光信号を読み出して保持する光信号保持手段 $1, 1', 1''$ と、ノイズ信号共通出力線4と、光信号共通出力線3と、ノイズ信号共通出力線4、及び光信号共通出力線3をリセットするリセット手段5, 6と、前記ノイズ信号保持手段 $2, 2', 2''$ の信号、及び前記光信号保持手段 $1, 1', 1''$ の信号を、ノイズ信号共通出力線4、及び光信号共通出力線3の容量8, 7との容量分割で読み出す読み出し手段と、を有している。

【0021】

ここで、光電変換手段 $10, 10', 10''$ としては、例えばBASISのようにバイポーラ素子を用いたものや、ホトダイオードとMOSアンプを用いたものが好適である。

【0022】

光電変換手段 $10, 10', 10''$ により得られた光信号は光信号保持容量CTS $1, 1', 1''$ 、およびノイズ信号保持容量CTN $2, 2', 2''$ に全bit一括的に転送パルス ϕ_{TS}, ϕ_{TN} をオンしてそれぞれ読み出される。その後、光信号共通出力線3、及びノイズ信号共通出力線4をリセットMOS5, 6を用いてリセットした後、CTS, CTNのデータを共通出力線3, 4にシフトレジスタSRのシフトパルス $\phi_1 \cdots \phi_3$ を用いて順次、容量分割にて出力する。ここで、CHS7, CHN8は各共通出力線の容量であるが、以後、光信号共通出力線をCHS、ノイズ信号共通出力線をCHNと定義する。

【0023】

容量分割された出力はアンプ11, 12でインピーダンス変換された後、アナログスイッチ14, 15を介して実装基板上の光信号線101、ノイズ信号線102に出力される。尚、ここで、アンプ11, 12は2段ソースホロアとしているが、例えば、通常のボルテージホロアを用いても構わない。

【0024】

半導体光センサチップの光信号、およびノイズ信号はワイヤボンディングにより実装基板上の各端子99を介して光信号線101、ノイズ信号線102はセンサと同一基板上に実装されたアンプチップ200に入力される。

【0025】

アンプチップ200は、ノイズ信号を入力するノイズ信号入力バッファアンプ201、光信号を入力する光信号入力バッファアンプ202、ノイズ信号入力バッファアンプと光信号入力バッファアンプの差分をとる差動アンプ203、差動アンプ203に接続してその後段に設けられた電圧クランプ手段204、及び、出力バッファアンプ205、を有している。

【0026】

ここで、電圧クランプ手段204は、クランプ容量206、MOSスイッチ207で構成され、クランプリセット電圧 V_{CD} にクランプされる。

【0027】

また、増幅機能を付加する場合には、例えば差動アンプ203に増幅機能を付加しても良いし、差動アンプ203の後段にゲインアンプを挿入しても良い。

【0028】

また、本発明においては、センサチップとアンプチップの電源を実装基板上で分離する構成にすることで、例えば、センサチップとアンプチップの電源電圧を変えても良いし、また、GNDを実装基板上で分離する構成にすることで、アナログ出力のノイズ低減をはかることも可能となる。

【0029】

図3に本実施態様例の動作を示す。図3は、シフトレジスタSRからのシフトパルス Φ_1 、 Φ_2 、 Φ_3 と、共通信号線3、4のリセットパルス Φ_{CHR} と、アンプチップ200内のリセットパルス Φ_{CD} のタイミング図である。図2の光信号保持容量CTS1、1'、1''、およびノイズ信号保持容量CTN2、2'、2''に信号を読み出した後、シフトレジスタSRから、順次読み出し信号 Φ_1 、 Φ_2 、 Φ_3 を出力し、容量CHS、容量CHNとの容量分割にて信号を読み出す。信号を読み出す直前には、CHS7、CHN8は Φ_{CHR} により、所望の電圧にリセットされ、かつ、CHS7、CHN8がリセットされた後の状態は Φ_{CD} により、

クランプされ、基準信号となる。従って、容量分割後の出力は、ソースホロアアンプ11, 12のVthバラツキがチップ毎に存在するが、上記の動作により、Vthバラツキが補正されて出力されるため、従来問題となっていたダーク補正手段を用いることなく、チップ間のFPNが改善される。

【0030】

尚、本発明においては、図4に示す、シフトレジスタSRからのシフトパルスΦ1, Φ2, Φ3と、共通信号線3, 4のリセットパルスΦCHRと、アンプチップ200内のリセットパルスΦCDのタイミングで駆動し、CHS7, CHN8がリセットされている状態をΦCDにより、クランプしても同様の効果が得られる。

【0031】

また、本発明においては、複数実装するセンサチップの出力部を簡素化することで、センサチップ内のアナログ部のチップ面積を最小に抑え、かつ、アナログ部を全センサチップに共通信号線101, 102で1箇所にまとめることにより、モジュールのチップ面積を最小化できるため、コスト低減が可能になる。

【0032】

さらに、センサチップ100, 100', 100"とアンプチップ200の電源電圧を独立に設定することで、センサ電源電圧を低下させても、出力のダイナミックレンジを維持することが可能となる。

【0033】

上記実施形態では、複数のラインセンサチップを用いた密着型イメージセンサについて説明したが、これに限定されるものではなく、更に多数のセンサチップを2次元のエリアセンサにおいても有効である。特に、かく小区画のエリアチップ毎に光電変換感度が異なる場合には、1ラインの密着型よりも更にFPNのバラツキが目立つので、本発明を適用することが極めて有効である。

【0034】

以下、実施例を用いて本発明の説明を行う。

【0035】

【実施例】

[実施例1]

図5は本発明の第1の実施例における回路図である。本実施例においてセンサチップ100, 100', 100"は、複数の光電変換手段として、ホトダイオード20, 20', 20"、リセットスイッチ21, 21', 21"、NMOSソースホロア22, 22', 22"、転送スイッチ23, 23', 23"から構成されている。

【0036】

他は図2と同様に、ノイズ信号保持手段2, 2', 2"と、光信号保持手段1, 1', 1"と、ノイズ信号共通出力線4と、光信号共通出力線3と、リセットスイッチ5, 6を有している。

【0037】

ノイズ信号共通出力線4と光信号共通出力線3において、容量分割された出力は、2段ソースホロアアンプ11, 12でインピーダンス変換された後、アナログスイッチ14, 15を介して、実装基板上の光信号線101、ノイズ信号線102に出力される。半導体光センサチップの光信号、およびノイズ信号はワイヤボンディングにより端子接続され、実装基板上の光信号線101、ノイズ信号線102は、センサと同一基板上に実装されたアンプチップ200に入力される。

【0038】

アンプチップ200はノイズ信号入力バッファアンプ201、光信号入力バッファアンプ202、差動アンプ203、電圧クランプ手段204、ゲインアンプ208、電圧クランプ手段209、出力バッファアンプ205、から構成されている。

【0039】

本実施例では電圧クランプ手段209により、センサチップ100, 100', 100"とアンプチップ200を含むモジュールごとのアンプオフセットバラツキが低減され、モジュールの基準レベルをほぼ均一に保つことが可能となる。このモジュールのバラツキが低減されて、製品毎のバラツキが削減され、製造上の高品質を達成できる。

【0040】

本実施例においては、実装基板上において、センサチップ100, 100', 100"とアンプチップ200の電源及びGNDは分離されており、センサチップの電源電圧は3.3V、アンプチップの電源電圧は5.0Vである。

【0041】

図6に、本実施例の動作を示す、シフトレジスタSRからの読み出し信号Φ1, Φ2, Φ3と、共通信号線3, 4のリセットパルスΦCHRと、アンプチップ200内のリセットパルスΦCDの駆動タイミング関係を示している。

【0042】

光信号保持容量CTS1, 1', 1"、およびノイズ信号保持容量CTN2, 2', 2"に信号を読み出した後、シフトレジスタSRから、順次読み出し信号Φ1, Φ2, Φ3を出力し、CHS, CHNと、CTS, CTNとの容量分割にて信号を読み出す。信号を読み出す直前には、CHS7, CHN8はリセットパルスΦCHRにより、MOS5, 6をオンして、所望の電圧にリセットされ、かつ、CHS7, CHN8がリセットされた後の状態はΦCDにより、クランプされ、基準信号となる。従って、容量分割後の出力は、ソースホロアアンプ11, 12の閾値電圧Vthによるバラツキがチップ毎に存在するが、上記のリセットパルス等の動作により、Vthバラツキが補正されて出力されるため、従来問題となっていたチップ間のFPNが改善される。

【0043】

具体的には、従来のモジュール内でのチップ間段差が10mV程度であったが、本実施例においては3mV以下であった。

[実施例2]

図7は本発明の第2の実施例における回路図である。本実施例においては、ノイズ信号と光信号を時系列的に読み出し、ノイズ信号が出力されている状態をクランプして基準信号とする例である。

【0044】

本実施例において、センサチップ100, 100', 100"は、ホトダイオード20, 20', 20"、リセットスイッチ21, 21', 21"、NMOSソースホロア22, 22', 22"、転送スイッチ23, 23', 23"、ノイ

ズ信号保持手段2, 2', 2''、光信号保持手段1, 1', 1''、は第1実施例と同様であるが、ノイズ信号と光信号を同一共通出力線55に時系列的に読み出し、同一共通出力線55をリセットするリセットMOS56で順次リセットしつつ、ノイズと光信号とを時系列的に増幅する2段ソースホロアンプ11とから構成されている。

【0045】

アンプチップ200は信号入力バッファアンプ201、電圧クランプ手段204、ゲインアンプ208、電圧クランプ手段209、出力バッファアンプ205から構成されている。

【0046】

図8に、本実施例の動作を示す、シフトレジスタSRからの読み出し信号Φ1S, Φ1N, Φ2S, Φ2N, Φ3S, Φ3Nと、共通信号線55のリセットパルスΦCHRと、アンプチップ200内のリセットパルスΦCDの駆動タイミング関係を示している。

【0047】

光信号保持容量CTS1, 1', 1''、およびノイズ信号保持容量CTN2, 2', 2''に信号を読み出した後、共通出力線をΦCHRによりリセットし、Φ1Nにより1bit目のノイズ信号を共通出力線55に容量分割にて読み出し、このノイズ信号を読み出している状態をΦCDによりクランプし、1bit目の基準信号とする。続いて、再び共通出力線55をΦCHRによりリセットし、Φ1Sにより1bit目の光信号を共通出力線55に容量分割にて読み出す。1bit目の光信号は信号入力バッファアンプ201を通してノイズ信号にクランプされていた電圧との差異がゲインアンプ208に入力され、このクランプ機能によって、各画素毎のバラツキを除去でき、合わせてセンサチップ100, 100', 100''のバラツキも削減できる。同様に2bit目、3bit目を読み出し、センサチップのすべてのbit画素信号を読み出したのち、各センサチップ出力のスイッチ14をオフし、次のセンサチップの1bit目を読み出す。

【0048】

本実施例の構成においてはチップ間段差によるFPNは2.9mV以下であり

、改善効果が見られた。

【0049】

【発明の効果】

本発明によれば、複数のラインセンサチップやエリアセンサチップで形成したを密着型イメージセンサにおいて、チップ間段差に起因するFPNを除去し、ダーク補正を必要としない高性能の密着型イメージセンサを提供できる。

【0050】

また、本発明は従来技術では困難であったチップ面積増大によるコストアップを回避し、安価な密着型イメージセンサを提供することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態の密着型ラインイメージセンサの概略図である。

【図2】

本発明の実施形態の密着型ラインイメージセンサの等価回路図である。

【図3】

本発明の実施形態のタイミングチャートである。

【図4】

本発明の実施形態のタイミングチャートである。

【図5】

本発明の第1実施例の等価回路図である。

【図6】

本発明の第1実施例のタイミングチャートである。

【図7】

本発明の第2実施例の等価回路図である。

【図8】

本発明の第2実施例のタイミングチャートである。

【図9】

従来技術の等価回路図である。

【図10】

従来技術のタイミングチャートである。

【符号の説明】

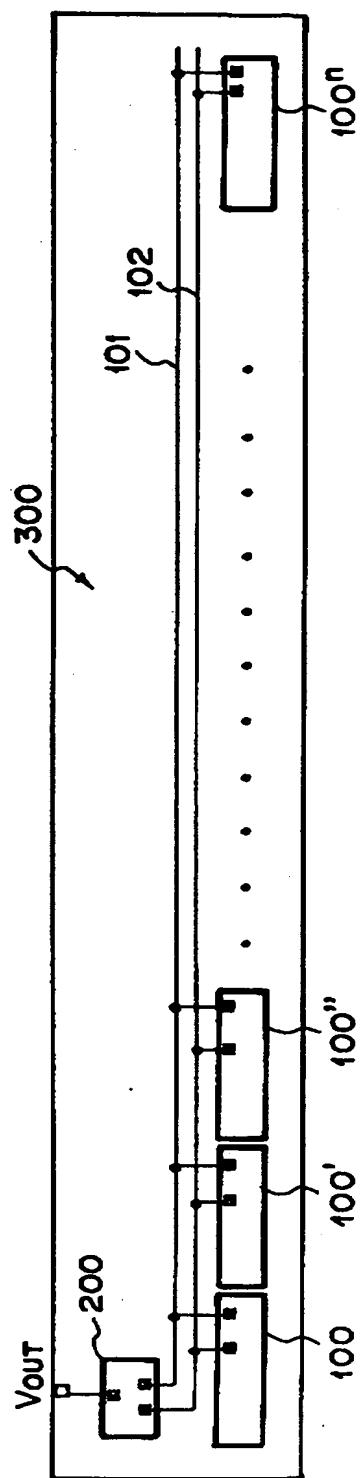
- 1, 1', 1" 信号保持容量CTS
- 2, 2', 2" ノイズ保持容量CTN
- 3 光信号共通出力線
- 4 ノイズ共通出力線
- 5 光信号共通出力線リセットMOS
- 6 ノイズ信号共通出力線リセットMOS
- 7 CHS=光信号共通出力線容量
- 8 CHN=ノイズ信号共通出力線容量
- 10, 10', 10" 光電変換手段
- 11, 12 ソースホロアンプ
- 13, 14 アナログスイッチ
- 20, 20', 20" ホトダイオード
- 21, 21', 21" リセットスイッチ
- 22, 22', 22" ソースホロア
- 23, 23', 23" 転送スイッチ
- 55 共通出力線
- 99 パッド
- 100, 100', 100" センサチップ
- 101 実装基板上の光信号出力線
- 102 実装基板上のノイズ信号出力線
- 200 アンプチップ
- 201, 202, 205 ボルテージホロア(バッファアンプ)
- 203 差動アンプ
- 204, 209 電圧クランプ手段
- 206 クランプ容量
- 207 クランプリセットスイッチ
- 208 ゲインアンプ

特平 9-272574

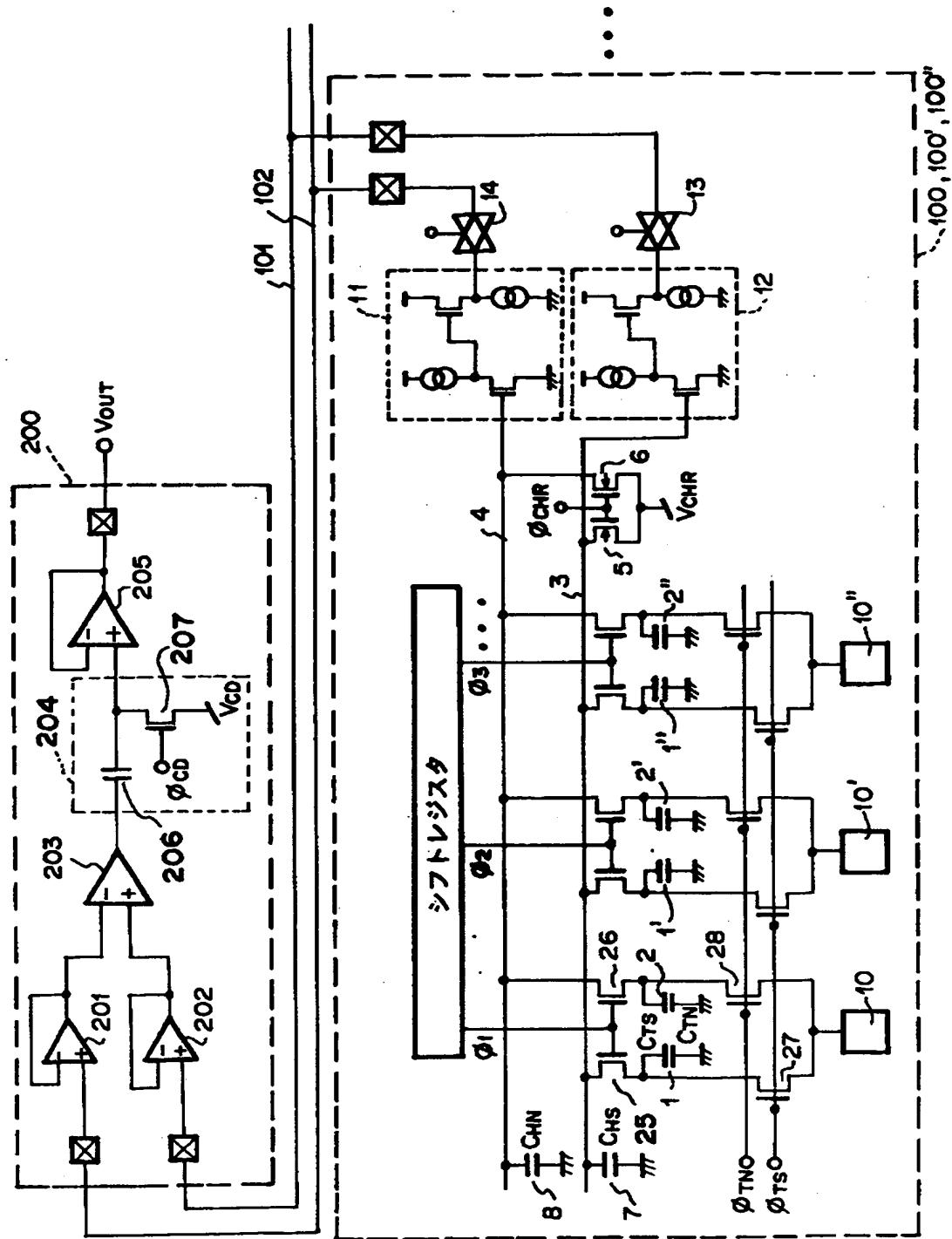
300 実装基板

【書類名】 図面

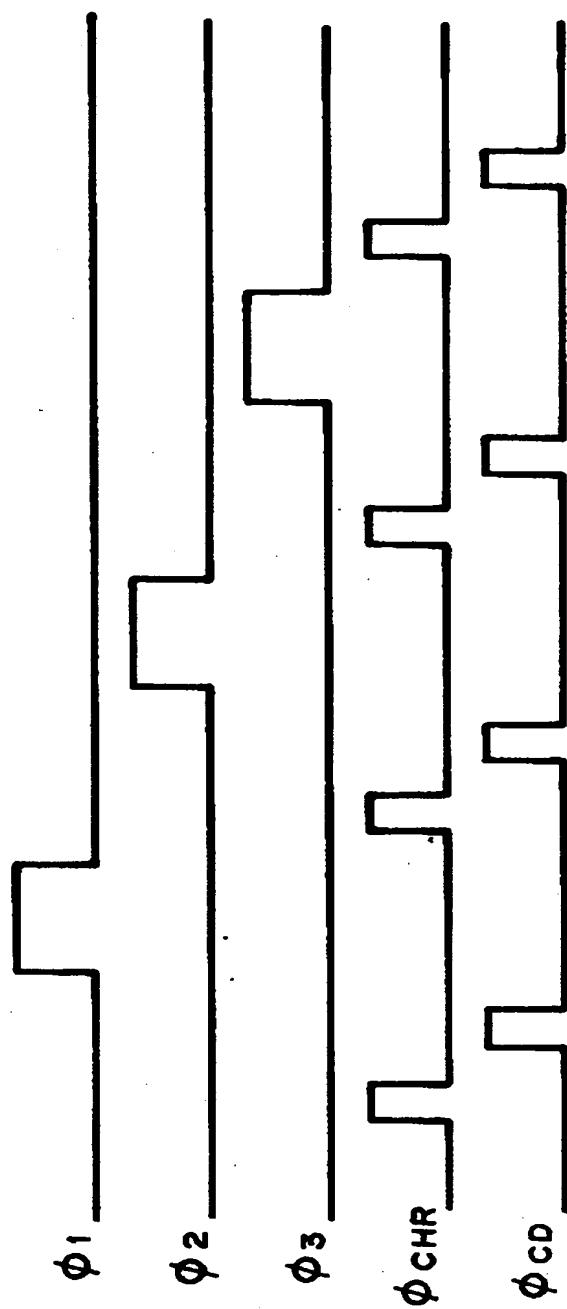
【図 1】



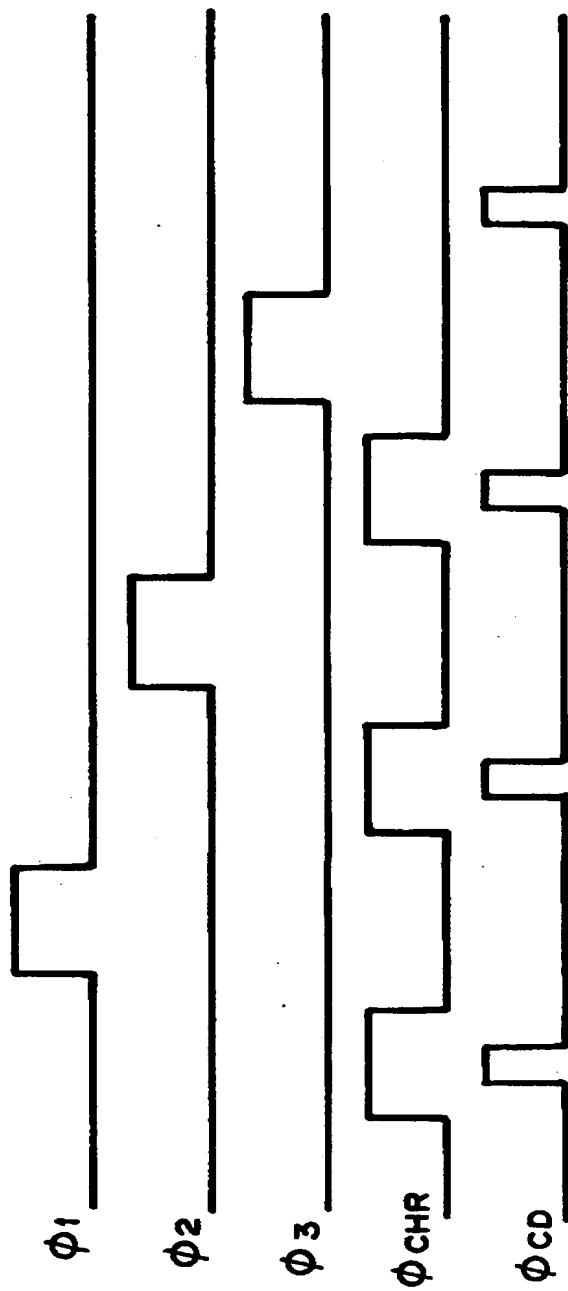
【図2】



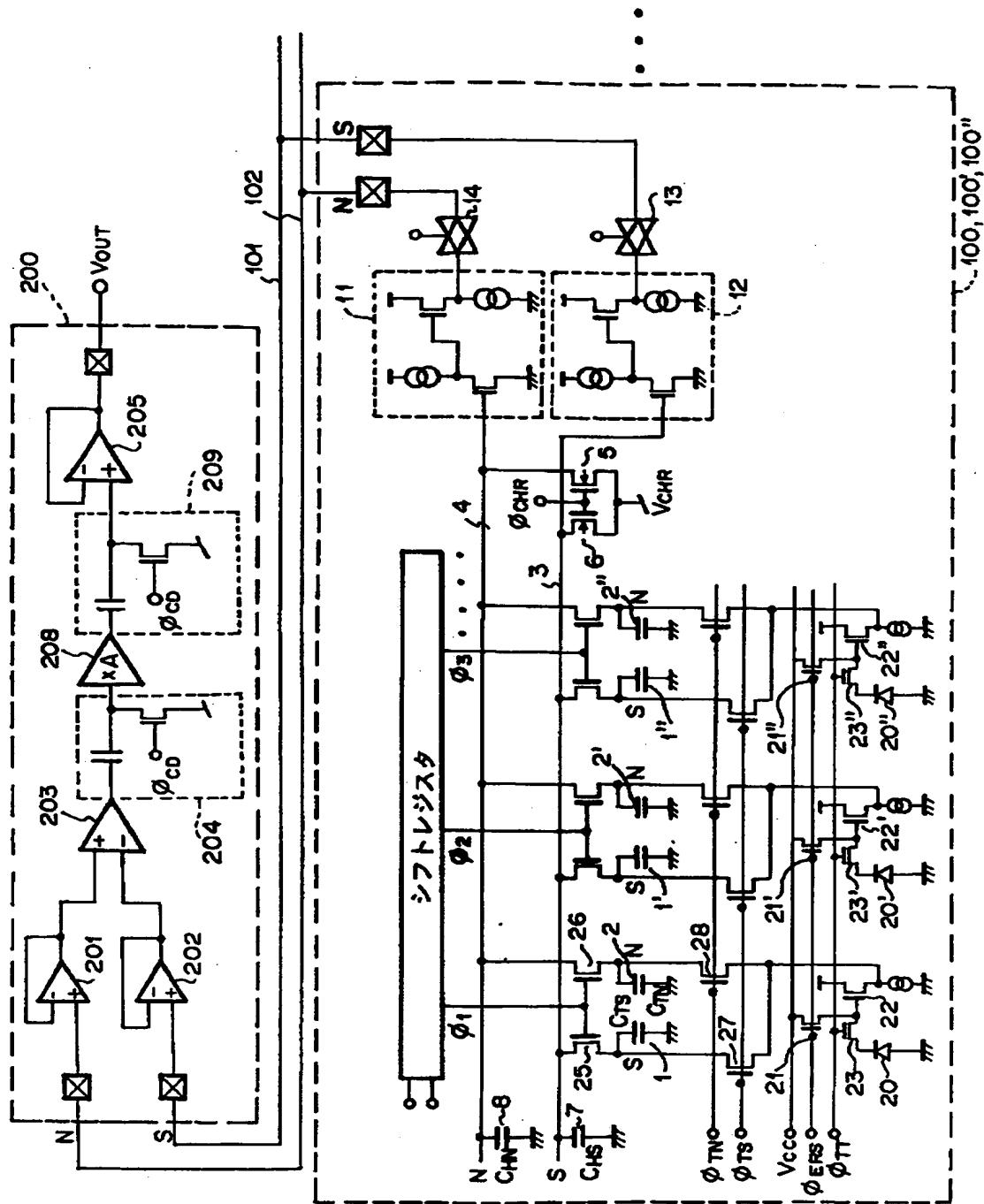
【図3】



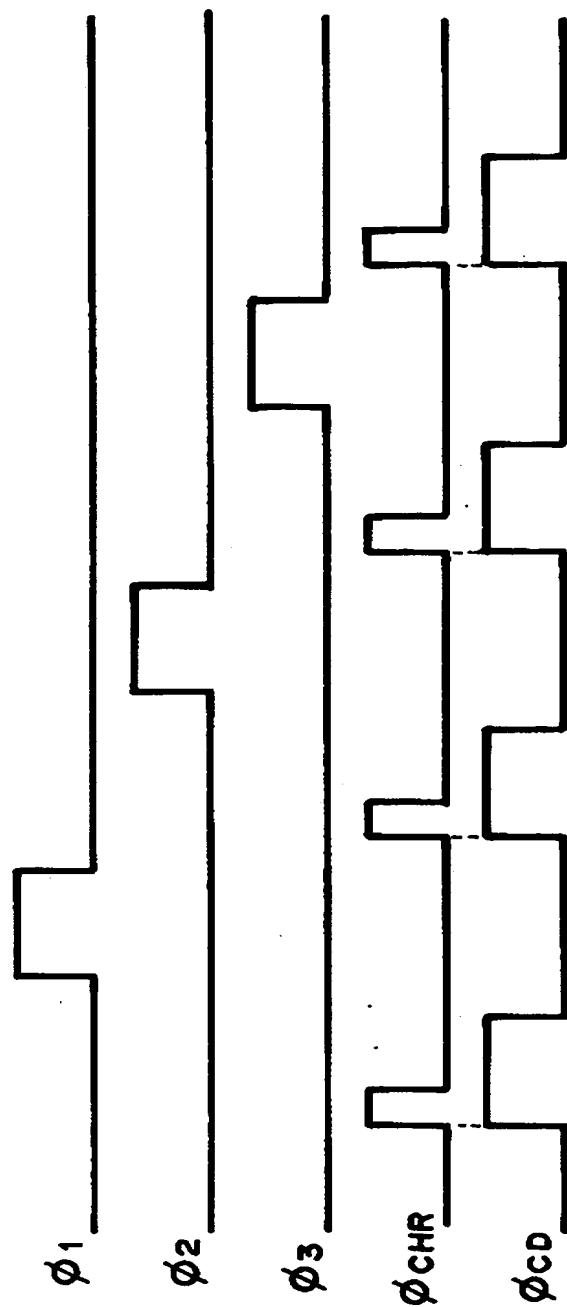
【図4】



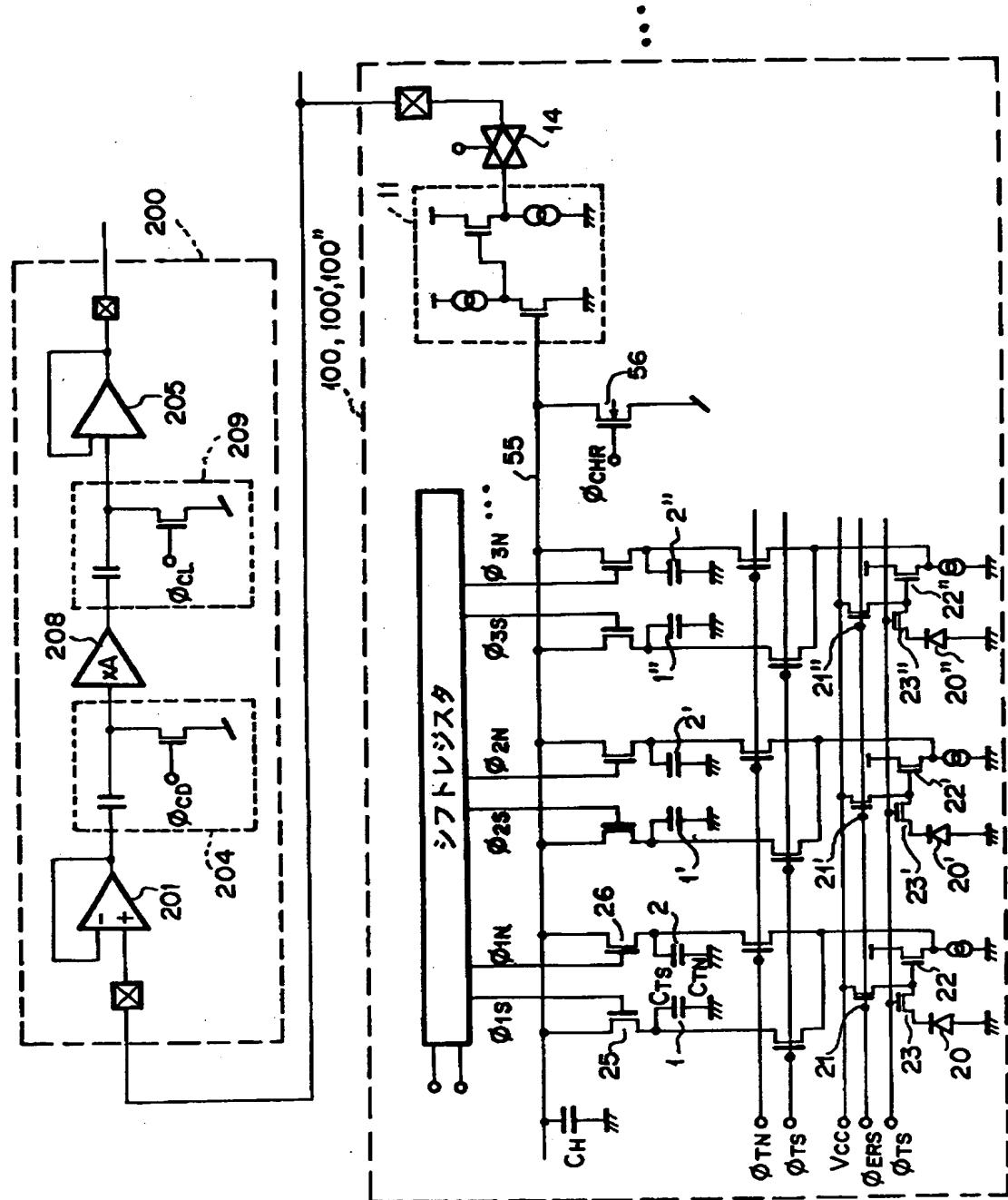
【図5】



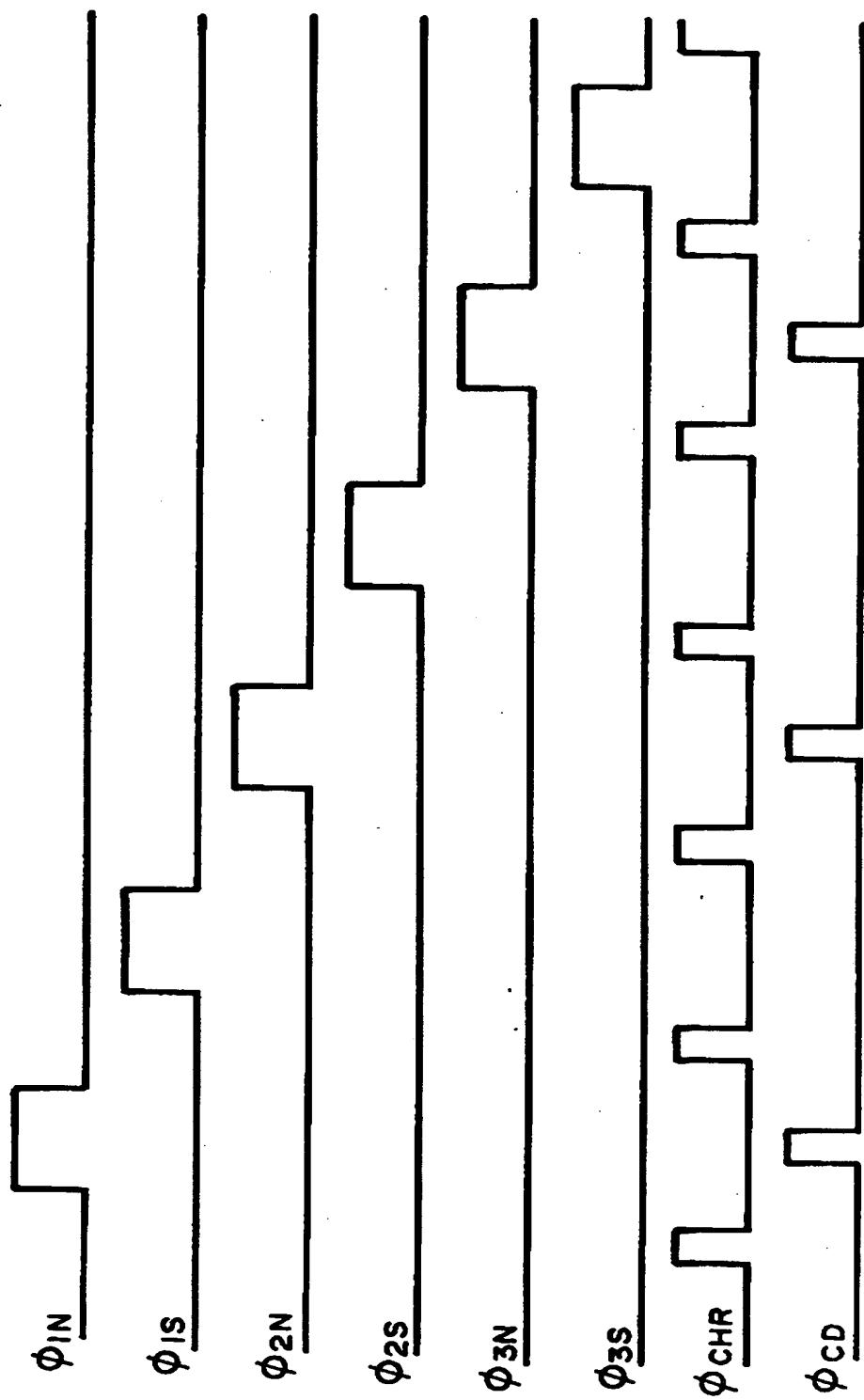
【図6】



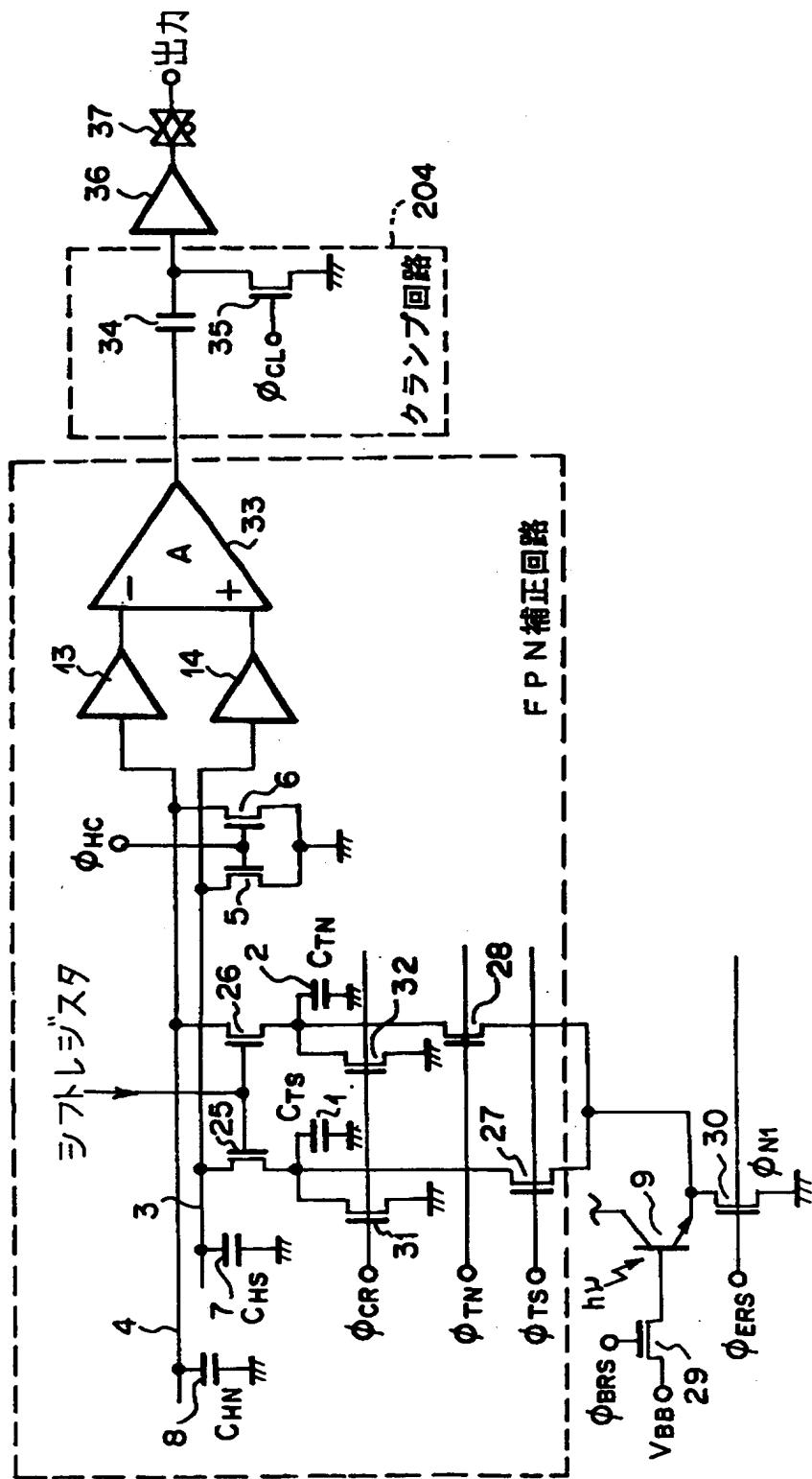
【図7】



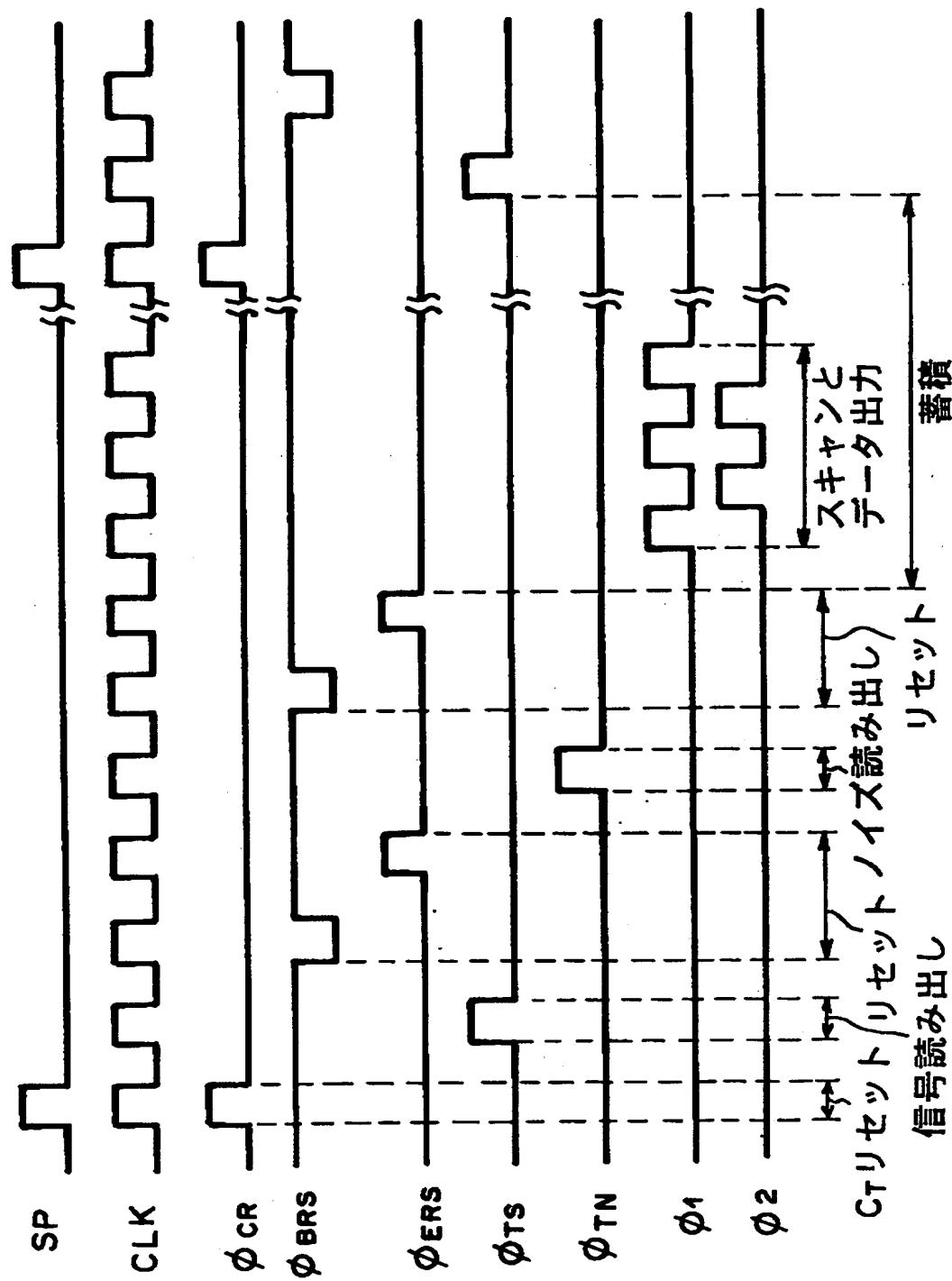
【図 8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 密着型イメージセンサにおいて、チップ間段差に起因するFPNを除去し、ダーク補正を必要としない高性能型を提供すること課題とする。

【解決手段】 密着型イメージセンサにおいて、半導体光センサチップが実装基板上に複数実装されたセンサモジュールと、少なくとも前記ノイズ信号を入力するノイズ信号入力バッファ手段と、前記光信号を入力する光信号入力バッファ手段と、前記ノイズ信号入力バッファアンプと前記光信号入力バッファアンプとの差分をとる差動手段と、前記差動手段の出力をクランプする電圧クランプ手段と、が同一半導体基板上に形成された半導体装置、とを有することを特徴とする。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代理人】 申請人

【識別番号】 100065385

【住所又は居所】 東京都港区浜松町1丁目18番14号 SVAX浜
松町ビル

【氏名又は名称】 山下 穢平

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社